

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-216321

(43)Date of publication of application : 05.08.1994

(51)Int.Cl.

H01L 27/06
H01L 27/04
H01L 29/784
H03K 17/08
H03K 19/003

(21)Application number : 04-273713

(71)Applicant : SGS THOMSON
MICROELETTRONICA SPA

(22)Date of filing : 17.09.1992

(72)Inventor : PELLEGRINI FRANCO
MORELLI MARCO
CANCLINI ATHOS

(30)Priority

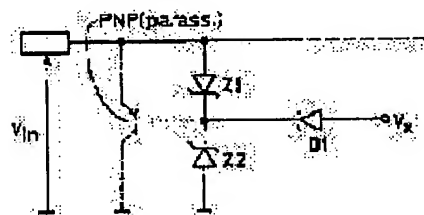
Priority number : 91VA 30 Priority date : 19.09.1991 Priority country : IT

(54) ELECTROSTATIC DISCHARGE PROTECTIVE DEVICE WITH LESS CURRENT LEAKAGE

(57)Abstract:

PURPOSE: To provide a circuitry, wherein the amplification effect of a parasitic transistor specific to leakage current specific to a specific ESD protective structure is virtually zeroed, unlike conventional protective structure of integrated circuits, wherein damages to pins or the like due to voltage spike cannot be fully avoided and leakage current may exceed allowable ranges.

CONSTITUTION: A protective structure containing a pair of discharge elements, for example, Zener diodes, Z1 and Z2, facing opposite to each other, series-connected between a pin and ground and a bias element D1 connected between the interconnecting nodes between the discharge elements and a supply voltage node Vx, is formed.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-216321

(43)公開日 平成6年(1994)8月5日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	FI	技術表示箇所
H 0 1 L 27/06				
27/04	H	8427-4M		
29/784				
		9170-4M	H 0 1 L 27/ 06	3 1 1 B
		9054-4M	29/ 78	3 0 1 K
審査請求 未請求 請求項の数 8 FD (全 5 頁) 最終頁に続く				

(21)出願番号 特願平4-273713

(22)出願日 平成4年(1992)9月17日

(31)優先権主張番号 VA/91/A/0030

(32)優先日 1991年9月19日

(33)優先権主張国 イタリア(IT)

(71)出願人 591011409

エッセヂエッセートムソン マイクロエレ
クトロニクスエッセ・エッレ・エッレSGS-THOMSON MICROEL
ECTRONICS SOCIETA A
RESPONSABILITA LIM
ITATAイタリア国 アグラテ・ブリアンツァ
20041 ビア・チ・オリベッティ 2

(72)発明者 フランコ・ベレグリーニ

イタリア国 コルシコ 20094 ヴィア・
ガリレイ31

(74)代理人 弁理士 森 浩之

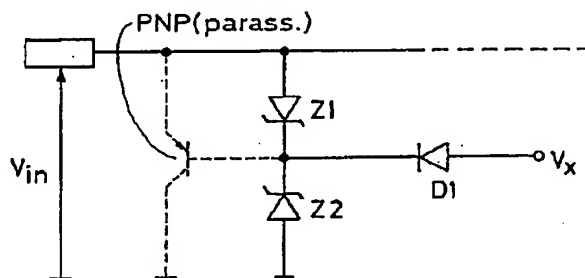
最終頁に続く

(54)【発明の名称】 電流漏洩の少ない静電的放電保護デバイス

(57)【要約】

【目的】 従来の集積回路の保護構造では、電圧スパイクによるピン等の損傷を十分回避できず、漏洩電流が許容範囲を超えてしまうことがある。本発明は、特定のESD保護構造の固有の漏洩電流に対して固有のバラシチックなトランジスタの増幅効果を実質的に零にする回路配置を提供することを目的とする。

【構成】 ピンとグラウンド間に直列接続された互いに対向する1対の放電素子例えばツェナーダイオード(Z1及びZ2)と該放電素子間の相互接続ノードとサプライ電圧ノードV_x間に接続されたバイアス素子D1を含む保護構造。



1

【特許請求の範囲】

【請求項 1】 ピンとグラウンド間に直列接続された互いに対向する 1 対の放電素子、及び放電素子間の相互接続ノードとサプライ電圧ノード間に接続されたバイアス素子を含んで成り、

サプライ電圧が通常の動作条件下でピンにより到達する最大設計電圧より大きく前記バイアス素子を通る電圧降下により増加することを特徴とする静電的放電により損傷されることがある集積回路のピンに接続された集積素子を保護するための集積構造。

【請求項 2】 各放電素子がツェナーダイオードを含む請求項 1 に記載の集積構造。

【請求項 3】 各放電素子が、そのベース領域及びエミッタ領域間に抵抗接続を有する横型 NPN 構造を含む請求項 1 に記載の集積構造。

【請求項 4】 前記バイアス素子がダイオードを含む請求項 1 に記載の集積構造。

【請求項 5】 前記バイアス素子がツェナーダイオードを含む請求項 1 に記載の集積構造。

【請求項 6】 前記バイアス素子とそのベース領域及びエミッタ領域間に抵抗接続を有する横型 NPN 構造を含む請求項 1 に記載の集積構造。

【請求項 7】 サプライ電圧 (V_x) が、
 $V_{bz1} > |V_{in}(-)| + (V_x - V_{fd})$

を満足し、ここで V_{dz1} が、前記保護構造の前記放電素子対の前記ピンに接続された第 1 の放電素子を構成しかつそのベース領域及びエミッタ領域間に抵抗接続を有する第 1 のツェナーダイオード又は横型 NPN 構造を通る電圧降下であり、 $V_{in}(-)$ は通常の動作条件下でピンの電圧が到達することがあるグラウンドに対する最大の負の設計電圧でありかつ V_{fd} は前記バイアス素子を通る電圧降下である請求項 1 に記載の集積構造。

【請求項 8】 サプライ電圧 (V_x) が、
 $V_x - V_{fd} > V_{in}(+)_{max}$

を満足し、ここで V_{fd} は前記バイアス素子を通る電圧降下であり、かつ $V_{in}(+)_{max}$ がピンの電圧が通常の動作条件下で到達することがあるグラウンドに対する最大の正の設計電圧である請求項 1 に記載の集積構造。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、静電的放電に対する集積回路の素子の保護構造に関する。

【0002】

【従来技術及びその問題点】 集積回路にはしばしば該集積回路の外部ピンを損傷することのある静電的原因の電氣的放電に対する保護集積構造が装着される。静電的放電 (ESD) 保護デバイスの動作の基本的原理は、それぞれのピンに接続されかつそれらの固有の特性のためある振幅より大きい電圧スパイクにしばしば耐えられない集積構造のブレークダウンを防止するために、集積回路

2

のピン上で生ずることのある電圧スパイクを、特定の製造プロセスにより決定される確立された最大許容電圧に制限することから成る。静電的原因の電圧スパイクの振幅は、例えばいわゆる「人体モデル」に従って数ミリジュールのオーダーの最大エネルギーを伴って数 KV に容易に達することがある。これらのスパイクの上昇時間が典型的には数ナノ秒 (ns) であるという事実から保護構造の応答時間は極度に迅速でなければならない。ESD 保護を実行するために使用される集積構造は一般にツェナーダイオード、SCR 及びベースとエミッタ間の抵抗接続を有する横方向の NPN 構造により構成されている。図 1 に示されるようにこの後者のタイプの従来の集積構造は、そのベース領域が抵抗経路を通してそのエミッタ領域に接続されている横型の NPN トランジスタのコンフィギュレーションを有している。該構造は、第 1 象限に負の傾斜を示す良好に限定されたゾーンを有する電圧/電流特性を示すベース/コレクタ接合により構成されるダイオードと考えることができる。図 1 の従来の集積構造以外の等価の電氣的スキームが簡略化の目的で図 2 の左側及び中央に示され、あるいは図 1 の集積構造は図 2 の右側に示すように星印を有する円中に記入されたダイオードの符号によりシンボリックに示されることがある。従来の文献では一般的に、この従来技術の保護構造は、ESD 保護デバイスとして使用するために構成される場合には NPN 構造がベース及びエミッタ領域間の抵抗接続を含むという理解の下で、単に「横型 NPN」として参照される。更に、当業者には容易に理解できるように、集積回路の幾つかのピン (例えば入力ピン) はグラウンドに対して負の電圧 (つまりグラウンドの電圧未満) で動作できなければならない及び/又はサプライ電圧より高い電圧で動作できなければならない。ESD 保護デバイスはこれらのピンに対しても実行され、従来のこのようなデバイスが図 3 にシンボリックに示されている。このような従来のデバイス中では、ESD 保護デバイスは 2 個のツェナーダイオード Z1 及び Z2 を利用することにより、あるいは直列に接続されベースとエミッタ間に抵抗を保護されるべき (入力) ピンと接地された集積回路の基板との間で互いに対向する 2 個の横型 NPN を利用することにより実行される。このタイプの従来技術の集積保護構造は、集積回路中で該構造を使用不能にする本来のバラシチックなトランジスタのトリガリングに関連する幾つかの欠点を有し、例えば演算増幅器の場合に ESD 保護構造の非常に少量の電流吸収のみが確保されなければならない。図 4 及び 5 は、典型的な接合分離構造を有しかつ p-タイプの半導性基板と n-タイプのエピタキシャル層を含んで成る集積回路中に実現された従来の集積保護構造を概略的に示し、ここでは種々のデバイスが p+ 分離拡散部により横方向に限定された n-タイプのエピタキシャル層の領域中に形成される。図 4 及び図 5 の両者中には、集積保護構造 Z2

3

に固有のPNPパラシチックトランジスタ（PNP paras.）が示されている。この場合、パラシチックトランジスタのベース電流はZ2ダイオードの固有の漏洩電流及び保護されるピンを通してESD保護構造により引かれる全電流に加えて2個のツェナーダイオードZ1及びZ2を実現する拡散部の漏洩電流（ I_{leak} ）により構成されている。この全電流は次の関係により与えられ、ここでGは集積ESD保護構造に固有のパラシチックトランジスタの電流ゲインである。

$$I_{tot} = I_{LEAKTOT} \times G \quad 10$$

その結果電流は集積回路の対応ピンを通して引かれ（又は注入され）、該電流はパラシチックなトランジスタにより増幅された固有の漏洩電流を示し、従って多くの用途で許容できないレベルに達することがある。パラシチックPNPトランジスタも横型NPNの集積構造中にも存在し、かつ図1にシンボリックに示した通り放電素子としてのツェナー構造の代わりに使用できるベース及びエミッタ間の抵抗接続を有している。

【発明の概要】従って本発明の一般的な目的は、容易に実現できかつ特定のESD保護構造の固有の漏洩電流に対して固有のパラシチックなトランジスタの増幅効果を実質的に零にする回路配置を提供することである。本発明の他の目的は、小さい電流漏洩が確保されなければならないときに集積回路の特定のタイプのピンとともに使用できる保護構造を提供することである。本発明のこれらの目的及び他の利点は、ESD保護構造の2個の放電素子（互いに対向しあるいはベース及びエミッタ間の抵抗接続を有し固有のパラシチックトランジスタのベース領域と一致する2個の横型NPN構造間の2個のツェナーダイオードのような）間の接続ノードと、次の条件を満足する値を有する電圧 V_x に維持された回路ノード間に接続されたバイアス素子を使用することにより達成される。

$$V_x V_{fd} > V_{in} (+)_{max} \quad (1)$$

ここで V_{fd} は前記バイアス素子を通る電圧降下であり、 $V_{in} (+)_{max}$ は回路の通常の動作の間に保護されるべきピンが達する最大設計電圧（グラウンドに対して正）であり、パラシチックトランジスタのベース-エミッタ接合を逆方向にバイアスし、これにより集積された反ESD保護構造の全漏洩電流に対する増幅効果を零にする。前記バイアス素子は順方向にバイアスされたダイオード、又はベースとエミッタ間に抵抗接続を有するツェナー接合又は横型NPN構造のような機能的に等価な構造により構成されることができる。上述の通り図1及び図2の3個の構造は、ベース及びエミッタ間に抵抗接続を有する横型NPNトランジスタから成る従来のESD保護を実行するための集積放電構造を示している。図3、4及び5は集積回路のピンのための従来のESD保護構造を概略的に示している。図6は、本発明の改良された集積ESD保護構造の一態様を示す。図7は、特に

4

集積回路の2本の入力ピンに適用できる本発明の保護デバイスを装着した例えば演算増幅器のような集積回路の部分図である。図8は、本発明の一態様である反ESD保護デバイスをツェナーダイオードの代わりにベースとエミッタ間に抵抗接続を有する横型NPNトランジスタを使用することにより実現した図7に示された集積回路と類似する集積回路の部分図である。

【詳細な説明】図6に示された回路には、本発明の一態様である反ダイオード保護集積デバイスが示され、該デバイスは V_x ポテンシャルのノードに機能的に接続されかつ集積保護構造のパラシチックなPNPトランジスタ（PNP paras.、仮想線によりシンボリックに描かれている）のベース-エミッタ接合を逆方向にバイアスできる順方向にバイアスされたダイオードD1を含んで成っている。該構造はダイオードD1に関連して使用されて固有のパラシチックPNPトランジスタによる漏洩電流への増幅効果を零にする2個のツェナーダイオードZ1及びZ2を含んでいる。このような零にする効果はバイアスダイオードD1を上述の条件（1）を満足するレベルを有する電圧 V_x に接続することにより達成される。基本的な回路の入力ピンに関連する図6に描かれた特定の態様では、入力ピンに印加される電圧 V_{in} がグラウンドに対して最大の負の設計値に降下したときに、集積回路の通常の動作条件下ではツェナーダイオードZ2はブレークダウンすることが回避されなければならないため、 V_x 電圧は次の条件も満足する値を都合良く有することができる。

$$V_{bz1} > |V_{in} (-)| + (V_x V_{fd})$$

ここで V_{bz1} はツェナーダイオードZ1を通る電圧降下である。これらは、ツェナーダイオードの代わりにベースとエミッタ間に抵抗接続を有する横型NPNトランジスタを使用した場合にも有効である。本発明の一態様であるESD保護構造により保護されるピンを通して最終的に吸収/注入される電流は固有のパラシチックトランジスタのトリガリングのため増幅効果を受けることなく純粋に固有の漏洩電流のまま残る。集積演算増幅器のピンに適用されることのある反ESD保護構造が図7に概略的に示されている。図示の適用では本発明の改良構造により保護されるピンは2個の入力ピン $I_{n} (-)$ 及び $I_{n} (+)$ である。図7の例では、バイアス素子は図6に示された回路のダイオードD1と同じ機能を果たすツェナーダイオードZ8である。図7の態様でバイアスダイオードZ8が接続する電圧ノード V_{DD} は図6のノード V_x と一致する。この配置は、2個の入力ピン用に意図する最大設計電圧が $V_{DD} - V_{fd}$ より低いときはいつでも可能である。当業者には明らかであるように、ESD保護構造の特定のコンフィギュレーションは広く適用される標準仕様により意図されているように、異なったピン間の放電からだけでなく正及び負の放電から全てのピンを保護する。勿論図7の保護構造のツェナーダイオード

5

は、図8にシンボリックに示すようにベースとエミッタ間の抵抗接続を有する横型NPN構造により置換できる。サブライピン (V_{DD}) のみがツェナーダイオードZ1により保護されたままとなる。この態様では、図6のダイオードD1により果たされるバイアス機能が横型NPN (S5) により果たされる。これまでの説明は単なる例示であり限定することを意図しない。保護の範囲は特許請求の範囲により定義される。

【図面の簡単な説明】

【図1】従来のESD保護を実行するための集積保護構造の第1の例を示す回路図。

【図2】従来のESD保護を実行するための他の3種類の集積保護構造を例示する回路図。

【図3】集積回路のピンの保護用の従来のESD保護構造を例示する回路図。

*

6

*【図4】集積回路のピンの保護用の従来のESD保護構造の他の例を示す概略図。

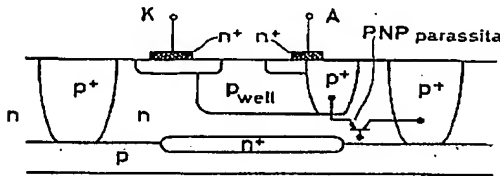
【図5】集積回路のピンの保護用の従来のESD保護構造の更に他の例を示す回路図。

【図6】本発明の改良された集積ESD保護構造の一態様を示す回路図。

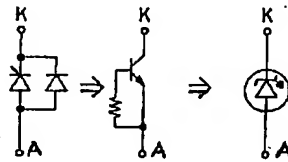
【図7】集積回路の2本の入力ピンに適用できる本発明の保護デバイスを装着した例えば演算増幅器のような集積回路の部分図。

【図8】本発明の一態様である反ESD保護デバイスをツェナーダイオードの代わりにベースとエミッタ間に抵抗接続を有する横型NPNトランジスタを使用することにより実現した図7に示された集積回路と類似する集積回路の部分図。

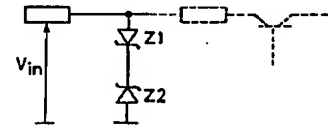
【図1】



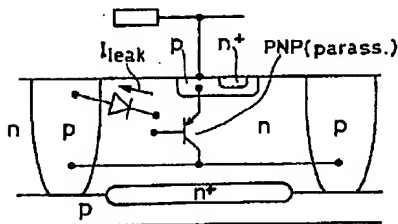
【図2】



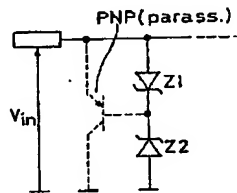
【図3】



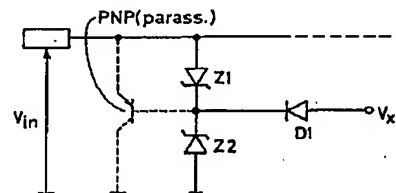
【図4】



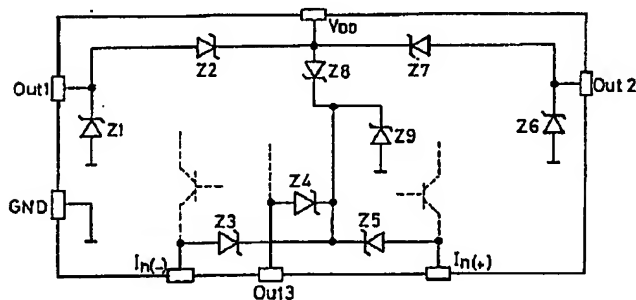
【図5】



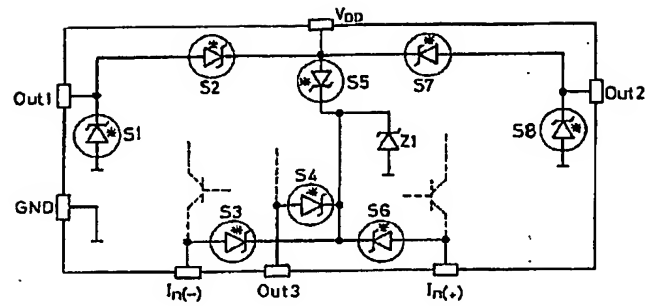
【図6】



【図7】



【図8】



フロントページの続き

(51) Int. Cl. 5

H03K 17/08
19/003

識別記号

庁内整理番号

F I

技術表示箇所

A 9184-5 J
E 8941-5 J

(72) 発明者 マルコ・モレッリ

イタリア国 リヴォルノ 57100 ヴィ
ア・ティ・グエラッツィ 71

(72) 発明者 アトス・カンクリーニ

イタリア国 コモ 22100 サリタ・デ
イ・カップチーニ 5/ビ